

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-249177

(43)Date of publication of application : 27.09.1996

(51)Int.Cl. G06F 9/38
G05B 19/02
G05B 19/05

(21)Application number : 07-054535

(71)Applicant : OMRON CORP

(22)Date of filing : 14.03.1995

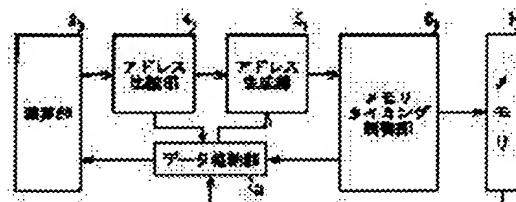
(72)Inventor : NISHIMURA YASUHIRO

(54) DIGITAL CONTROLLER

(57)Abstract:

PURPOSE: To eliminate access time waiting at the time of taking in a processing to an arithmetic part by taking in a number instruction which is always required.

CONSTITUTION: When an idle area exists, a data storage means 3 previously reads the instruction from a memory 1 and stores it in the arithmetic part 2. When an address comparison means 4 receives the instruction which the arithmetic part 2 processes, it compares the address value of the instruction with the address value of the instruction stored in the data storage part 3. When an address generation means 5 receives information of effect that they do not match from the address comparison means 4, it sets the address value which the arithmetic part 2 shows to be the address value accessed to the memory 1 as it is. When it receives information of effect that they are matched, it generates the address value by which the instruction that the arithmetic part 2 processes is accessed to the memory 1 until information of effect that the idle area exists from the data storage means 3 continues.



LEGAL STATUS

[Date of request for examination] 31.07.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3476104

[Date of registration] 26.09.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平8-249177

(43) 公開日 平成 8 年 (1996) 9 月 27 日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 9/38	3 1 0		G 0 6 F 9/38	3 1 0 A
G 0 5 B 19/02			G 0 5 B 19/02	W
19/05			19/05	G

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願平7-54535

(22) 出願日 平成 7 年 (1995) 3 月 14 日

(71) 出願人 000002945

オムロン株式会社

京都府京都市右京区花園土堂町10番地

(72) 発明者 西村 康裕

京都府京都市右京区花園土堂町10番地 オ

ムロン株式会社内

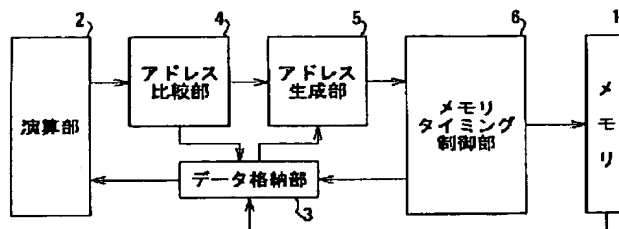
(74) 代理人 弁理士 和田 成則

(54) 【発明の名称】 デジタル制御装置

(57) 【要約】

【目的】 常に必要とされる数命令を内部に取り込むことにより、処理プログラムを演算部に取り込む際のアクセス時間待ちを無くす。

【構成】 データ格納手段 3 は、空き領域が存在する場合には、演算部 2 に処理する命令を、予めメモリ 1 から読み込んでそれを格納する。アドレス比較手段 4 は、演算部 2 が処理する命令を受けると、命令のアドレス値とデータ格納部 3 に格納されている命令のアドレス値とを比較する。アドレス生成手段 5 は、一致しない旨の情報をアドレス比較手段 4 から受けた場合には、演算部 2 が示すアドレス値をそのままメモリ 1 に対してアクセスするアドレス値とする一方、一致する旨の情報を受けた場合には、データ格納手段 3 からの空き領域が存在する旨の情報が有り続けるまで、演算部 2 が処理するための命令をメモリ 1 にアクセスするアドレス値を生成する。



1

【特許請求の範囲】

【請求項 1】 演算部がメモリ上の処理プログラムを構成する命令を逐次読み出していき、当該処理プログラムを処理するデジタル制御装置において、

上記演算部が処理する命令を格納するデータ格納手段と、

上記データ格納手段に格納された命令を読み出して処理する命令処理手段と、

上記データ格納手段に格納されている命令の処理状態を参照しつつ、上記メモリから命令を取り出し、この取出した命令を上記データ格納手段に格納させる命令取出し手段とを具備することを特徴とするデジタル制御装置。

【請求項 2】 演算部がメモリ上の処理プログラムを構成する命令を逐次読み出していき、当該処理プログラムを処理するデジタル制御装置において、

空き領域が存在する場合には、上記演算部が処理する命令を、予め上記メモリから読み込んで、それを格納するデータ格納手段と、

上記演算部が処理する命令をこの演算部から受けると、上記命令のアドレス値と上記データ格納部に格納されている命令のアドレス値とを比較するアドレス比較手段と、

上記演算部が示すアドレス値と上記データ格納手段が格納する命令のアドレス値とが一致しない旨の情報を上記アドレス比較手段から受けた場合には、上記演算部が示すアドレス値をそのまま上記メモリに対してアクセスするアドレス値とする一方、一致する旨の情報を受けた場合には、上記データ格納手段からの空き領域が存在する旨の情報が有る間、この空き領域に命令を格納するために、上記メモリにアクセスするアドレス値を生成するアドレス生成手段とを具備することを特徴とするデジタル制御装置。

【請求項 3】 上記データ格納手段は、上記演算部が処理する命令と、この命令のメモリ上でのアドレス値と、上記演算部によりすでに読み出された命令であるか否かを判断するフラグとを有する命令バッファを有し、上記フラグをチェックした結果、演算部に読み出されたことを示すフラグが少なくとも 1 つ以上ある場合には、この箇所が空き領域であると検知し、この旨を上記アドレス生成部に出力する空き領域検知出力手段を有すること特徴とする請求項 2 記載のデジタル制御装置。

【請求項 4】 上記アドレス生成手段は、上記メモリにアクセスすべきアドレス値を格納するアドレス値格納手段と、

上記演算部が示すアドレス値と上記データ格納手段が読み出す命令のアドレス値とが一致しない旨の情報を上記アドレス比較手段より受けた場合には、上記演算部が示すアドレス値を上記アドレス値格納手段に格納し、一致する場合には上記データ格納手段からの空き領域が存在する旨の情報が有る間、上記アドレス値格納手段に格納

2

されているアドレス値に 1 を加算した値を、再び上記アドレス値格納手段に格納させるアドレス加算／格納手段とを有することを特徴とする請求項 2 また 3 記載のデジタル制御装置。

【請求項 5】 上記請求項 1 乃至 4 記載の発明は、プログラマブルコントローラに使用されることを特徴とするデジタル制御装置。

【発明の詳細な説明】

【0001】

10 【産業上の利用分野】 本発明は、演算部がメモリから処理プログラムを構成する命令を逐次読み出していき、当該処理プログラムを処理するデジタル制御装置に関する。

【0002】

20 【従来の技術】 従来の汎用 MPU（マイクロプロセッサユニット）には、キャッシュメモリを備えるものがある。このキャッシュメモリを備えた汎用 MPU は、例えば、処理プログラムの中で条件分岐などにより局所的に繰り返される部分を、前もってメモリからキャッシュメモリに格納しておき、この格納した処理プログラムの命令を逐次読み込んでこれを処理することで、MPU 外部にあるメモリからの命令を読み込むときのメモリアクセスの遅れを解消して処理速度を高めている。

【0003】 そして、この従来の汎用 MPU は、キャッシュメモリに格納されていない処理プログラムのエン트리要求を受けた場合に、外部のメモリに対して処理命令のアクセスを開始し、この処理プログラムをキャッシュ内部に取り込むようにしている。

【0004】

30 【発明が解決しようとする課題】 このような従来のキャッシュメモリを備える汎用 MPU では、処理プログラムの中で条件分岐などにより局所的に繰り返される部分を、前もってメモリからキャッシュメモリに格納しておくので、確かに処理プログラムの処理速度が高まるが、それでもなお、キャッシュメモリに格納されていない処理プログラムのエン트리要求を受けた場合には、外部のメモリに対してアクセスを開始し、当該処理プログラムをキャッシュ内部に取り込む必要があり、アクセス時間待ちが必ず発生するという問題点があった。

40 【0005】 特に、プログラムコントローラ（以下、PLC という）に用いられているラダープログラムは、汎用 MPU が一般的に使用する処理プログラムと異なり、条件分岐などがほとんどなく、プログラムの先頭から最後までを順番に実行していくという特徴を持っている。従って、PLC を構成するキャッシュメモリを備える MPU では、プログラムの全領域がキャッシュに入らない限り有効に働かないという問題点があった。

50 【0006】 そこで、本発明は、上述の問題点を鑑み、常に必要とされる数命令を内部に取り込むことにより、処理プログラムをキャッシュ内部に取り込む際の、アク

セス時間待ちを無くし、高速処理を行うデジタル装置を提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するため、請求項1記載の発明は、演算部がメモリ上の処理プログラムを構成する命令を逐次読み出していき、当該処理プログラムを処理するデジタル制御装置において、上記演算部が処理する命令を格納するデータ格納手段と、上記データ格納手段に格納された命令を読み出して処理する命令処理手段と、上記データ格納手段に格納されている命令の処理状態を参照しつつ、上記メモリから命令を取り出し、この取出した命令を上記データ格納手段に格納させる命令取出し手段とを具備することを特徴とする。

【0008】請求項2記載の発明は、演算部がメモリ上の処理プログラムを構成する命令を逐次読み出していき、当該処理プログラムを処理するデジタル制御装置において、空き領域が存在する場合には、上記演算部が処理する命令を、予め上記メモリから読み込んで、それを格納するデータ格納手段と、上記演算部が処理する命令をこの演算部から受けると、上記命令のアドレス値と上記データ格納部に格納されている命令のアドレス値とを比較するアドレス比較手段と、上記演算部が示すアドレス値と上記データ格納手段が格納する命令のアドレス値とが一致しない旨の情報を上記アドレス比較手段から受けた場合には、上記演算部が示すアドレス値をそのまま上記メモリに対してアクセスするアドレス値とする一方、一致する旨の情報を受けた場合には、上記データ格納手段からの空き領域が存在する旨の情報が有る間、この空き領域に命令を格納するために、上記メモリにアクセスするアドレス値を生成するアドレス生成手段とを具備することを特徴とする。

【0009】請求項3記載の発明は、請求項2記載の発明において、上記データ格納手段が、上記演算部が処理する命令と、この命令のメモリ上でのアドレス値と、上記演算部によりすでに読み出された命令であるか否かを判断するフラグとを有する命令バッファを有し、上記フラグをチェックした結果、演算部に読み出されたことを示すフラグが少なくとも1つ以上ある場合には、この箇所が空き領域であると検知し、この旨を上記アドレス生成部に出力する空き領域検知出力手段を有すること特徴とする。

【0010】請求項4記載の発明は、請求項2また3記載の発明において、上記アドレス生成手段は、上記メモリにアクセスすべきアドレス値を格納するアドレス値格納手段と、上記演算部が示すアドレス値と上記データ格納手段が読み出す命令のアドレス値とが一致しない旨の情報を上記アドレス比較手段より受けた場合には、上記演算部が示すアドレス値を上記アドレス値格納手段に格納し、一致する場合には上記データ格納手段からの空き

領域が存在する旨の情報が有る間、上記アドレス値格納手段に格納されているアドレス値に1を加算した値を、再び上記アドレス値格納手段に格納させるアドレス加算／格納手段とを有することを特徴とする。

【0011】請求項5記載の発明は、請求項1乃至4記載の発明がプログラマブルコントローラに使用されることを特徴とする。

【0012】

【作用】上述のような本発明によれば、演算部が示すアドレス値とデータ格納手段が格納する命令のアドレス値とが一致しない旨の情報をアドレス比較手段から受けた場合には、アドレス生成手段により、演算部が示すアドレス値をそのままメモリに対してアクセスする一方、一致する旨の情報を受けた場合には、データ格納手段からの空き領域が存在する旨の情報が有り続けるまで、演算部が処理する命令のアドレス値を生成し、これをメモリにアクセスする。そして、メモリから読み出された命令がデータ格納手段の空き領域に格納される。

【0013】

【実施例】以下、本発明の実施例を図面を参照して説明する。

【0014】図1は本発明に係るデジタル制御装置を示す一実施例の構成を示すブロック図である。

【0015】この実施例のデジタル制御装置は、メモリ1、演算部2、データ格納部3、アドレス比較部4、アドレス生成部5およびメモリタイミング制御部6から構成されている。

【0016】メモリ1は、RAM (Random Access Memory)、ROM (Read Only Memory)等の記憶手段であって、演算部2が処理する処理プログラムを格納している。

【0017】演算部2は、メモリ1に格納されている次に実行すべき命令のアドレス値を示すプログラムカウンタ(図示せず)を内蔵しており、このプログラムカウンタ値を後述するアドレス比較部4を介して後述するデータ格納部3に出力し、このデータ格納部3から当該命令を読み出してこれを処理するように構成されている。

【0018】データ格納部3は、演算部2が処理しようとする命令を、アドレス比較部4に出力する前に、予め格納するものであって、図2に示すように、格納バッファ31と、データ読み込み制御回路32とから構成されている。

【0019】この格納バッファ31は、すでに演算部2に対してデータが読み込まれた否かを示す読み込み判定フラグを有する読み込み判定フラグ格納エリア31aと、メモリ1に格納されていたアドレス値を格納するアドレス格納エリア31bと、命令を格納する命令格納エリア31cとを有している。

【0020】因みに、演算部2に対して命令が読み込まれた箇所の読み込み判定フラグ格納エリア31aには1が

セットされ、一方、まだ命令が読込まれていない箇所のものは、0のままである。

【0021】なお、格納バッファ31は、アクセス方式がリング形式で成り立っている。すなわち、格納バッファ31は、格納されているデータのアクセス対象がアドレス順（格納バッファ31が有するアドレス）に繋がっていて、最後のアドレスがアクセスされた後には、再び最初のアドレス（0番地）がアクセスされるようになっている。

【0022】上記データ読み込み制御回路32は、格納バッファ31の読み込み判定フラグ格納エリア31aを監視しており、すでに演算部2に読み込まれた命令であることを示す読み込み判定フラグ（1）を検知すると、新たな命令を受け入れる空き領域が存在することを示す旨の情報をアドレス生成部5に出力するようになっている。

【0023】こうすることで、データ読み込み制御回路32は、メモリ1から読み出された命令と、メモリタイミング制御部6からこの読み出された命令のアドレス値とを、それぞれ上記空き領域に該当する命令格納エリア31cとアドレス格納エリア31bとに格納させることができる。この際、データ読み込み制御回路32は、読み込み判定フラグ格納エリア31aに未だ演算部2から読み出されていない旨の読み込み判定フラグ（0）をセットするようになっている。

【0024】また、データ読み込み制御回路32は、後述するアドレス比較部4から次命令要求信号を受けると、演算部2が読込んだ命令における読み込み判定フラグ格納エリア31aに、新たな命令を受け入れる空き領域が存在することを示すフラグ（1）をセットするようになっている。こうすることで、格納バッファ31に演算部2が読み込む命令を常時確保するようにしている。

【0025】さらに、データ読み込み制御回路32は、後述するアドレス比較部4から演算部2からの要求が連続したものでない旨の情報（すなわち、格納バッファ31の全てに命令を新たに格納させる情報）を受けると、読み込み判定フラグ格納エリア31aの全てに、新たな命令を受け入れる空き領域が存在することを示すフラグ

（1）をセットするようになっている。こうすることで、格納バッファ31の全てに命令を新たに格納させることができる。これは、割込み処理やPLCが行うサイクリック処理のように、アドレスがジャンプした場合に対応させている。

【0026】アドレス比較部4は、演算部2により要求されたアドレス値と、データ格納部3の格納バッファ31に格納されているデータの先頭アドレス値とを比較し、一致しているか否かの情報をデータ格納部3およびアドレス生成部5に出力するように構成されている。

【0027】ここで、格納バッファ31に格納されているデータの先頭アドレス値とは、読み込み判定フラグエリア31aに0が格納されている最も小さいアドレス値を

有するアドレス値をいう。

【0028】アドレス生成部5は、演算部2からの要求されたアドレスとデータ格納部3の空き領域の情報から、この空き領域にデータを格納するためにメモリ1に対してメモリタイミング制御部6を介してアドレスを指定するようになっているものであって、図3に示すように、制御回路51、マルチプレクサ52、アドレスレジタ53および加算器54で構成されている。

【0029】制御回路51は、アドレス比較部4から演算部2が指示するアドレスとデータ格納部3のアドレスを比較した結果、一致していない旨の情報を受けると、マルチプレクサ52に対して、演算部2が処理する命令のアドレス値をアドレスレジタ53に設定させる指示を出すようになっている。また、制御回路51は、データ格納部3のバッファ31に空き領域があるか否かの情報を受けており、その旨をマルチプレクサ52に出力するようになっている。

【0030】マルチプレクサ52は、メモリ1にアクセスすべきアドレスを形成し、これをアドレスレジタ53に出力するようになっている。アドレスレジタ53は、メモリ1をアクセスすべきアドレス値をセットするようになっている。

【0031】加算器54は、アドレスレジタに格納されているアドレス値に1を加算した値を、データ格納部3に空き領域が無いとの情報が制御回路51に入るまで、マルチプレクサ52に出力するようになっている。

【0032】メモリタイミング制御部6は、アドレス生成部5で生成されたアドレスをタイミングを図ってメモリ1にアクセスするように構成されている。

【0033】次に、デジタル制御装置の動作を説明する。

【0034】始めに、処理開始に際し、本願のデジタル制御装置に対してリセットをかけると、演算部2は、内蔵するプログラムカウンタを、メモリ1に格納されている処理プログラムの先頭アドレスにセットし、このプログラムカウンタ値をアドレス比較部4に出力し、プログラムカウンタに1を加算する。

【0035】アドレス比較部4は、プログラムカウンタ値と、データ格納部3の格納バッファ31に格納されている命令の先頭アドレス値とを比較し、一致している場合と、一致していない場合とで次のような動作を行う。

【0036】（1）一致している場合

プログラムカウンタ値と、データ格納部3の格納バッファ31に格納されている命令の先頭アドレス値とが一致している場合には、この旨の情報をデータ格納部3に出力する。

【0037】すると、演算部2は、データ格納部3からその命令を読み出して処理し、再び上述と同様な処理を行う。

【0038】一方、データ格納部3は、格納バッファ3

1に空き領域が存在する場合には、演算部2が命令を読み出し中であっても、アクセス生成部5に空き領域が存在する旨の情報を出力する。

【0039】アクセス生成部5は、データ格納エリア3からの空き領域がある旨の情報を内蔵する制御回路51で受けると、制御回路51がデータ格納部3に空き領域がある旨の情報をマルチプレクサ52に出力する。マルチプレクサ52は、メモリ1にアクセスすべきアドレス値を形成し、これをアドレスレジタ53に出力する。

【0040】ここで、マルチプレクサ52から出力されるアドレス値は、アドレスレジスタ53において従前格納されていたアドレス値に加算器54で1を加算された値のアドレス値である。

【0041】アドレスレジスタ53に格納されたアドレス値は、メモリタイミング制御部6に出力される。メモリタイミング制御部6は、アドレス生成部5で生成されたアドレス値をタイミングを図ってメモリ1にアクセスするとともに、データ格納部3に出力する。

【0042】データ格納部3は、メモリ1から読み出された命令と、メモリタイミング制御部6からのアドレス値とを、格納バッファ31の空き領域の命令格納エリア31cとアドレス格納エリア31bとに格納し、これに対応する読み出し判定フラグエリア31aフラグを

(0)にセットする。

【0043】以上と同様な処理動作を、データ格納部3からアドレス生成部4に対し、格納バッファ31に空き領域が存在するとの情報を出力している間、データ格納部3に演算部2が処理する命令を格納させる。

【0044】(2)一致していない場合
プログラムカウンタ値と、データ格納部3の格納バッファ31に格納されている命令の先頭アドレス値とが一致していない場合、例えば、割込み処理やPLCが行うサイクリック処理のように、アドレスがジャンプした場合には、アドレス比較部4は、プログラムカウンタ値と、データ格納部3の格納バッファ31に格納されている命令の先頭アドレス値とが連続していない旨の情報(すなわち、格納バッファ31の全てに命令を新たに格納させる情報)を、データ格納部3およびアドレス生成部5に出力する。

【0045】すると、データ格納部3のデータ読み込み制御回路32は、読み込み判定フラグ格納エリア31aの全てに、新たな命令を受け入れる空き領域が存在すること

を示すフラグ(1)をセットし、上述と同様にしてデータ格納部3に命令を格納するようにする。

【0046】上述したデジタル制御装置は、プログラムブルコントローラに適用すると好適である。

【0047】

【発明の効果】以上、説明したように、本発明では、演算部が示すアドレス値とデータ格納手段が格納する命令のアドレス値とが一致しない旨の情報をアドレス比較手段から受けた場合には、アドレス生成手段により、演算部が示すアドレス値をそのままメモリに対してアクセスする一方、一致する旨の情報を受けた場合には、データ格納手段からの空き領域が存在する旨の情報が有り続けるまで、演算部が処理する命令のアドレス値を生成し、これをメモリにアクセスする。そして、メモリから読み出された命令がデータ格納手段の空き領域に格納されるため、外部のアクセス速度が遅いメモリに直接アクセスする必要がない。

【0048】従って、実際には外部のアクセス速度が遅いメモリから処理プログラムを読み出してはいるものの、実質的に高速なメモリと同等な性能を得ることができるとともに、演算部が処理プログラムをキャッシュ内部に取り込む際の、アクセス時間待ちを無くすることができる。

【図面の簡単な説明】

【図1】本発明に係るデジタル制御装置の一実施例の構成を示すブロック図。

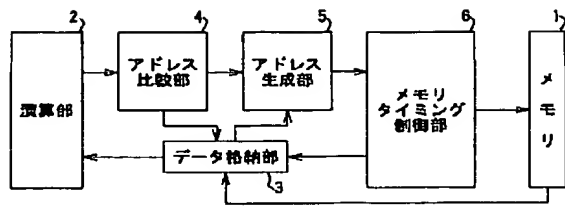
【図2】図1中のデータ格納部の構成を示すブロック図

【図3】図1中のアドレス生成部の構成を示すブロック図。

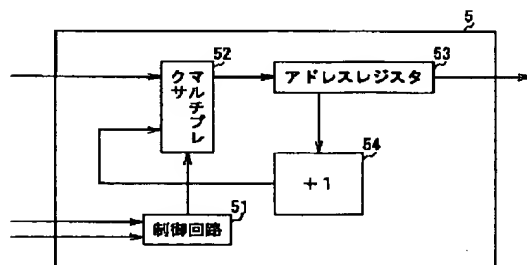
【符号の説明】

- 1 メモリ
- 2 演算部
- 3 データ格納部
- 4 アドレス比較部
- 5 アドレス生成部
- 6 メモリタイミング制御部
- 31 格納バッファ
- 32 データ読み込み制御回路
- 51 制御回路
- 52 マルチプレクサ
- 53 アドレスレジタ
- 54 加算器

【図 1】



【図 3】



【図 2】

